

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-167646

(43) 公開日 平成8年(1996)6月25日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/762
21/8249
27/06

H 0 1 L 21/ 76

D

27/ 06

3 2 1 E

審査請求 未請求 請求項の数 6 O L (全 6 頁) 最終頁に続く

(21) 出願番号 特願平6-308693

(22) 出願日 平成6年(1994)12月13日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 藤井 稔

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 中林 隆

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 平井 健裕

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 小鍛冶 明 (外 2 名)

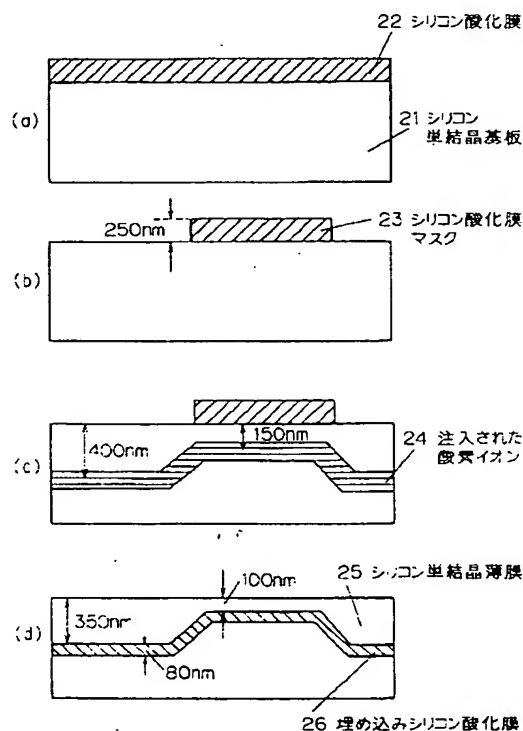
最終頁に続く

(54) 【発明の名称】 S I M O X 基板、S I M O X 基板の製造方法及び半導体装置の製造方法

(57) 【要約】

【目的】 2種類以上の膜厚のシリコン単結晶薄膜を有したS I M O X基板を実現する。

【構成】 2種類以上の異なった膜厚のシリコン単結晶薄膜25を有する(基板表面から埋め込み酸化膜26までの深さが2種類以上存在する)S I M O X基板である。シリコン単結晶基板21上の所望の領域にシリコン酸化膜マスク23を部分的に配置した後、酸素イオンを注入し、高温熱処理を行う。シリコン酸化膜マスク23の膜厚は、酸素イオンの注入を完全に阻止するのではなく、シリコン単結晶基板21中の所望の深さに酸素イオンの濃度のピークがくるように選択する。



1

【特許請求の範囲】

【請求項1】シリコン単結晶基板と、前記シリコン単結晶基板上に形成された埋め込みシリコン酸化膜層と、前記シリコン酸化膜層上に形成されたシリコン単結晶薄膜層とを有するSIMOX基板であって、前記SIMOX基板の所定の領域の前記埋め込みシリコン酸化膜層が、その他の領域の前記埋め込みシリコン酸化膜層より上部に存在していることを特徴とするSIMOX基板。

【請求項2】シリコン単結晶基板と、前記シリコン単結晶基板上に形成された埋め込みシリコン酸化膜層と、前記シリコン酸化膜層上に形成されたシリコン単結晶薄膜層とを有するSIMOX基板であって、前記SIMOX基板の所定の領域の前記埋め込みシリコン酸化膜層が、その他の領域の前記埋め込みシリコン酸化膜層より上部に存在し、かつ、前記所定の領域の前記埋め込みシリコン酸化膜の表面が露出していることを特徴とするSIMOX基板

【請求項3】シリコン単結晶基板表面の所望の領域にマスク材を部分的に配置する工程と、前記マスク材をマスクとして前記シリコン単結晶基板表面に酸素イオンを注入して埋め込み酸化膜層を形成する工程と、前記マスク材を除去する工程と、前記酸素イオン注入の後に熱処理を行う工程とを有するSIMOX基板の製造方法

【請求項4】シリコン単結晶基板表面の所望の領域にマスク材を部分的に配置する工程と、前記マスク材をマスクとして前記シリコン単結晶基板表面に酸素イオンを注入して埋め込み酸化膜層を形成する工程と、前記マスク材を除去する工程と、前記酸素イオン注入の後に熱処理を行う工程とを有するSIMOX基板の製造方法であって、前記マスク材を除去した際に前記マスク材の下部の前記埋め込み酸化膜層の表面を露出させることを特徴とするSIMOX基板の製造方法。

【請求項5】マスク材が注入される酸素イオンを透過することを特徴とする請求項3または4いずれかに記載のSIMOX基板の製造方法。

【請求項6】シリコン単結晶基板表面の所望の領域にマスク材を部分的に配置する工程と、前記マスク材をマスクとして前記シリコン単結晶基板表面に酸素イオンを注入して埋め込み酸化膜層を形成する工程と、前記マスク材を除去する工程と、前記酸素イオン注入の後に熱処理を行う工程と、前記シリコン単結晶基板表面の前記マスクが配置された領域にMOS型トランジスタを形成する工程と、前記シリコン単結晶基板表面の前記マスクが配置されなかった領域にバイポーラトランジスタを形成する工程とを有する半導体装置の製造方法

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はシリコン基板及びその製造方法に関するもので、特にSIMOX (SEPARATION BY IMPLANTED OXYGEN) 基板とその製造方法に関する。

2

【0002】

【従来の技術】近年、半導体LSIは高集積化、高速化、低電力化等の要請により種々の改造がなされているが、更なる高速化、低電力化を達成するためには、寄生容量を大幅に低減する必要がある。寄生容量を大幅に低減する最も有望な方法の一つとして、SOI (SILICON ON INSULATOR) 構造が考えられている。

【0003】SOI基板では、絶縁膜上にシリコン単結晶薄膜が形成されており、そのシリコン単結晶薄膜上にトランジスタが形成される。一例として、絶縁膜上のシリコン単結晶薄膜が非常に薄いSOI基板上にMOSトランジスタを形成すると、ソース電極及びドレイン電極の底部が直接絶縁膜に接するため、寄生容量を大幅に低減できる。現在量産レベルで主流になりつつある0.5 μ m ruleのMOSプロセスでは、ソース電極及びドレイン電極の深さは約200nm程度であるため、SOI構造の特徴である低寄生容量を十分生かしたMOSトランジスタを形成するためには、絶縁膜上のシリコン単結晶薄膜の厚さが200nm以下のSOI基板を用いる必要がある。

【0004】SIMOX (SEPARATION BY IMPLANTED OXYGEN) 基板は、SOI基板の一種であり、上述のような非常に薄いシリコン単結晶薄膜を埋め込みシリコン酸化膜上に容易に形成することができる。図5に従来のSIMOX基板の構造を示す。SIMOX基板の製造方法は以下の通りである。まず、シリコン単結晶基板51に酸素イオンを例えばエネルギー180KeV、ドーズ量7e17/cm²注入する。その後、例えば1320度で6時間の高温熱処理を行い、均一な埋め込みシリコン酸化膜52を形成するとともに、イオン注入による結晶欠陥の除去を行い、埋め込みシリコン酸化膜52上に高品質のシリコン単結晶薄膜53を形成する。

【0005】

【発明が解決しようとする課題】しかしながら上記の方法で形成された従来のSIMOX基板では、埋め込みシリコン酸化膜上のシリコン単結晶薄膜の厚さが基板全面で一定（埋め込みシリコン酸化膜の深さが一定）であるため、例えば同一基板上にMOSトランジスタとBipolarトランジスタを混載するBiCMOSプロセスの場合、MOSトランジスタとBipolarトランジスタで最適なシリコン単結晶薄膜の膜厚が異なるため、いずれかのトランジスタの性能を犠牲にせざるを得ないという問題点を有していた。例えば図6に示すように、SIMOX基板上に縦形高速Bipolarトランジスタ614を形成する場合、シリコン単結晶薄膜の膜厚として0.4 μ m程度以上必要だが、その場合同一基板上に形成されたMOSトランジスタ613のソース電極606及びドレイン電極605の底部は埋め込み酸化膜に接しないため、MOSトランジスタの性能はシリコンバルク基板に形成したものと同程度であり、SOI基板を用いることのメリットはまったく得ら

れない。また、MOSトランジスタに適した $0.2\mu\text{m}$ 程度の厚さのシリコン単結晶薄膜を用いると、縦形Bipolarトランジスタは形成できないため性能の劣る横形Bipolarトランジスタを用いらずを得ない。

【0006】そこで、本発明は上記問題点を鑑み、2種類以上の異なったデバイスを、それぞれのデバイスに最適な膜厚のシリコン単結晶薄膜上に形成することが可能なSIMOX基板とその製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】上記問題点を解決するために本発明のSIMOX基板及びSIMOX基板の製造方法は、同一基板面内で2種類以上の異なった膜厚のシリコン単結晶薄膜を有する（同一基板面内で基板表面から埋め込み酸化膜までの深さが2種類以上存在する）SIMOX基板を提供することを特徴とする

【0008】また、この構造を実現するためにシリコン単結晶基板中の所望の領域にマスク材を部分的に配置した後、酸素イオンを注入し、高温熱処理を行う。このとき、前記マスク材の膜厚は、酸素イオンの注入を完全に阻止するのではなく、シリコン単結晶基板中の所望の深さに、注入された酸素イオンの濃度ピークがくるように選択する

【0009】

【作用】本発明は上記した構成によって、2種類以上の膜厚のシリコン単結晶薄膜を有したSIMOX基板を提供することにより、同一SIMOX基板上に、2種類以上のトランジスタをそれぞれのトランジスタに最適なシリコン単結晶薄膜上にすることを可能とする。

【0010】

【実施例】以下本発明の実施例について、図面を参照しながら説明する。

【0011】（実施例1）図1は本発明の第一の実施例のSIMOX基板の断面構造を示すものである。シリコン単結晶基板11中に埋め込みシリコン酸化膜12が形成され、埋め込みシリコン酸化膜12上に素子形成のためのシリコン単結晶薄膜13が存在し、この点では従来のSIMOX基板と同様である。但し、シリコン単結晶薄膜13の膜厚はシリコン単結晶基板面内で分布を持っており、Bipolarトランジスタが形成される領域15では膜厚は例えば 400nm になっており、MOSトランジスタが形成される領域14では膜厚は例えば 200nm になっている点が相違する。また、本発明のSIMOX基板の特徴として、シリコン単結晶基板11の表面は平らであり、シリコン単結晶基板の表面から埋め込みシリコン酸化膜までの深さを変化させることにより、上記シリコン単結晶薄膜13の膜厚を変化させている

【0012】図2は、図1に示す本実施例のSIMOX基板を形成する製造工程を示す断面図である

【0013】まず、図2(a)に示すように、シリコン

単結晶基板21上にシリコン酸化膜22を堆積し、通常のフォトリソグラフィ工程とエッチング工程で、任意の部分にシリコン酸化膜マスク23を形成する（図2(b)）。ここで、シリコン酸化膜マスク23は、次の酸素イオン注入工程で注入された酸素イオンのシリコン単結晶基板中での深さをコントロールする役割を果たすために形成されているが、イオン注入される酸素イオンの深さを所望の深さにするためには、適宜シリコン酸化膜マスク23の膜厚を選択する必要がある。本実施例では、例えば膜厚は 250nm としてシリコン酸化膜23を形成する。

【0014】次に図2(c)に示すように、酸素イオンを例えばエネルギー 180keV 、ドーズ量 $7 \times 10^{17}\text{cm}^{-2}$ の条件にて注入する。そうすると、シリコン単結晶基板上のシリコン酸化膜マスク23が存在しない領域では、酸素イオンの濃度のピークは表面から約 400nm に存在し、一方、シリコン酸化膜マスク23が存在する領域では、酸素イオンの濃度のピークはシリコン単結晶基板の表面から約 150nm に存在することになる。

【0015】最後に図2(d)に示すように、シリコン酸化膜マスク23を除去した後、例えば 1320°C で6時間の高温熱処理を行い、均一な埋め込みシリコン酸化層26を形成するとともに、イオン注入による結晶欠陥の除去を行い、シリコン酸化膜26上に高品質なシリコン単結晶薄膜25を形成する。なお、本実施例の条件では、埋め込み酸化膜26の膜厚は約 80nm となる。また、シリコン酸化膜マスクの存在しない領域でのシリコン単結晶薄膜25の膜厚は約 350nm 、膜厚 250nm のシリコン酸化膜マスク23が存在する領域でのシリコン単結晶薄膜25の膜厚は約 100nm となる。

【0016】以上図2に示したSIMOX基板の製造方法により、埋め込みシリコン酸化膜の形成される位置が基板の深さ方向に異なるSIMOX基板を形成することができ、2種類以上の膜厚の異なるシリコン単結晶薄膜を有したSIMOX基板を形成することができる。

【0017】本実施例で形成したSIMOX基板をBicmosデバイスに適用する場合、Bipolarトランジスタ部分のシリコン単結晶膜厚は 400nm 以上が望ましいが、酸素イオンを 180keV 以上の高エネルギーで高Dose注入するのは、現在の技術では余り現実的ではない。従って、例えばBipolarトランジスタに 450nm の膜厚が必要な場合は、高エネルギーのDose注入は行わず、低エネルギーでDose注入を行うが、その際に、埋め込みシリコン酸化膜の形成される位置は上記の実施例に比較して浅く形成した後、図2(d)の状態からシリコンを 100nm エピタキシャル成長させてやればよい。この場合、シリコン酸化膜マスク23が存在しなかった領域のシリコン単結晶薄膜25の厚さは 450nm になり、シリコン酸化膜マスク2

3が存在した領域での膜厚は200nmになる。

【0018】図3に上述のSIMON基板上に形成したBiCMOSデバイスの断面図を示す。縦形Bipolarトランジスタ314のn+埋め込み層308及び、MOSTランジスタ313のソース電極306、ドレイン電極305の底部が共に埋め込みシリコン酸化膜302に直接接しているため、非常に寄生容量の小さいBipolarトランジスタとMOSTランジスタを両立した高性能なBiCMOSデバイスを形成することができる。

【0019】なお、本実施例では、2種類の膜厚のシリコン単結晶薄膜を有するSIMON基板とその製造方法を示したが、シリコン酸化膜マスクの膜厚を2段階以上に変化させたり、酸素の注入条件を変化させることにより、3種類以上の膜厚のシリコン単結晶薄膜を有するSIMON基板を形成することも可能である。

【0020】(実施例2)図4は本発明の第二の実施例におけるSIMON基板の断面構造を示したものである。図4において、シリコン単結晶基板41中に埋め込みシリコン酸化膜42が形成され、シリコン酸化膜42上に素子形成のためのシリコン単結晶薄膜43が存在している。ここで、本実施例の特徴としては、シリコン単結晶基板面内の所定の部分44でシリコン単結晶薄膜の膜厚が0になっている。つまり、埋め込みシリコン酸化膜42上にシリコン単結晶薄膜43の島が完全に孤立した状態になっている。

【0021】上記のようにシリコン単結晶薄膜43の島が完全に孤立した状態のSIMON基板を用いると、本来、以降の工程で形成されるべきトレンチ分離等の素子分離を形成する必要がなくなり、工程を短縮することができる。

【0022】本実施例の構造は第一の実施例のSIMON基板の製造方法と全く同じ方法で形成できる。ただし、シリコン酸化膜マスクの膜厚と酸素イオンの注入条件を変更し、シリコン単結晶基板の表面に埋め込みシリコン酸化膜が形成されるようにする必要がある。具体的に述べると、例えば第一の実施例における図2に示した酸素イオンの注入条件の場合は、シリコン酸化膜マスクの膜厚を約350nmにすると、シリコン酸化膜マスクが存在する領域には、表面にシリコン単結晶薄膜が存在せず、埋め込みシリコン酸化膜を基板表面に露出させる

ことができる。

【0023】なお、本実施例と第一の実施例を組み合わせ、同一SIMON基板上に、MOSTランジスタ形成領域と、Bipolarトランジスタ形成領域と、素子分離領域を同時に形成することも可能となることは言うまでもない。

【0024】

【発明の効果】以上のように、本発明は、2種類以上の膜厚の異なるシリコン単結晶薄膜を有したSIMON基板を形成することができるため、同一SIMON基板上に、2種類以上のデバイスをそれぞれのデバイスに最適なシリコン単結晶薄膜上に形成することにより、寄生容量の小さい非常に高性能な集積回路を形成することができる。また、本発明によれば、SIMON基板形成時に同時に素子分離領域を形成することが可能となり、素子分離工程を簡略化することもできる。

【図面の簡単な説明】

【図1】本発明の第1の実施例におけるSIMON基板の構造断面図

【図2】本発明の第1の実施例におけるSIMON基板の製造工程断面図

【図3】本発明の第1の実施例におけるSIMON基板上に形成したデバイスの構造断面図

【図4】本発明の第2の実施例におけるSIMON基板の構造断面図

【図5】従来のSIMON基板の構造断面図

【図6】従来のSIMON基板上に形成したBiCMOSデバイスの構造断面図

【符号の説明】

11、21、301、41、51、601 シリコン単結晶基板

12、26、302、42、52、602 埋め込みシリコン酸化膜

13、25、303、43、53、603 シリコン単結晶薄膜

23 シリコン酸化膜マスク

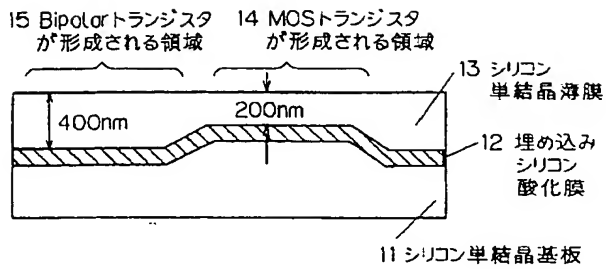
314、614 縦形Bipolarトランジスタ

313、613 MOSTランジスタ

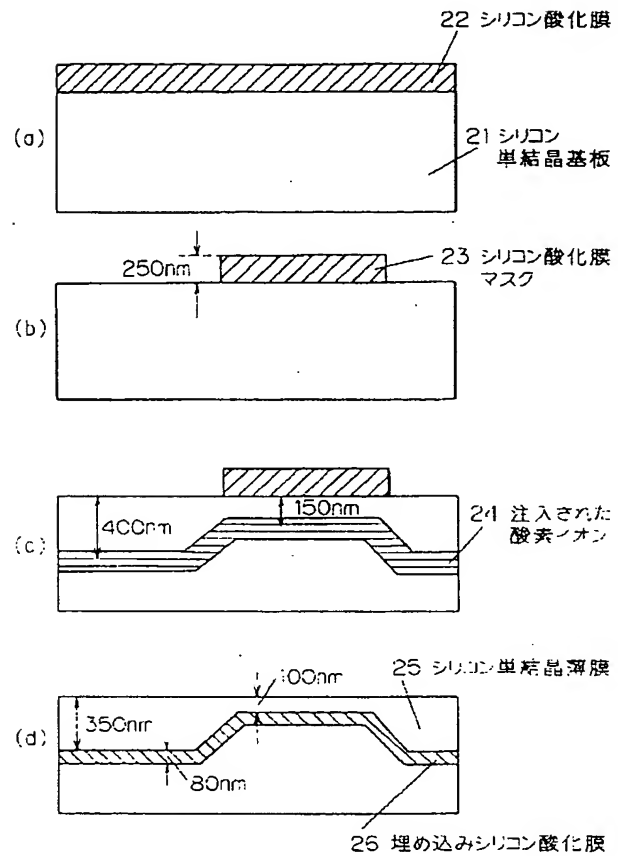
305、605 ソース電極

306、606 ドレイン電極

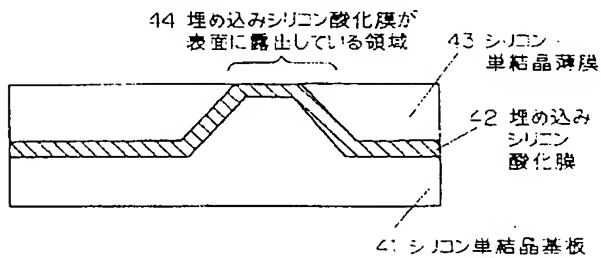
【図1】



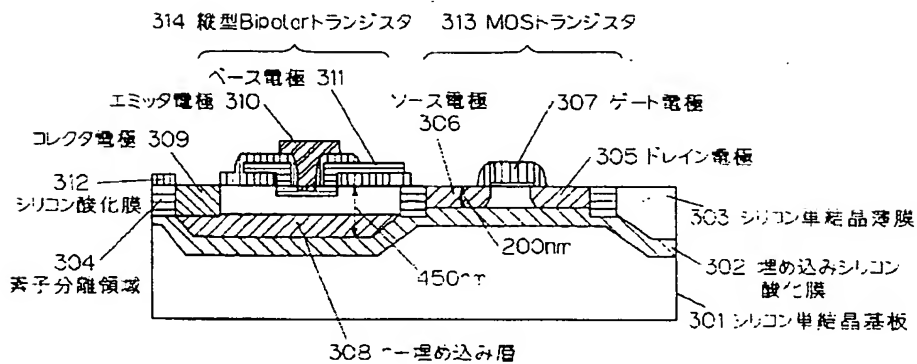
【図2】



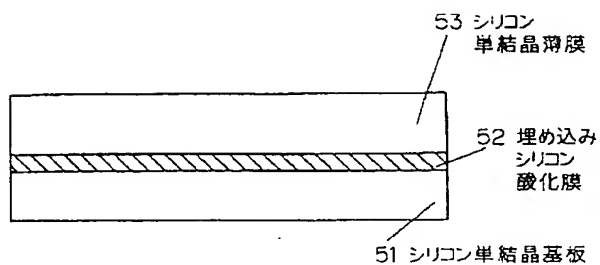
【図4】



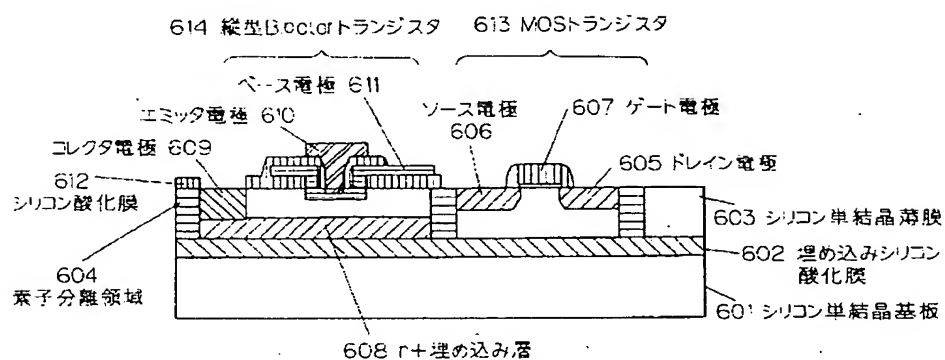
【図3】



【図5】



【図6】



フロントページの続き

(51) Int. Cl.	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/08	3 3 1 E			
27/12	E			
29/786				
		9056-4M	H 0 1 L 29/78	6 1 3 Z
		9056-4M		6 2 1

(72) 発明者 松元 道一
大阪府門真市大字門真1006番地 松下電器
産業株式会社内